

112

jc997 U.S. PRO  
10/07/5591  
02/15/02

500.41141X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): Hajime AKIMOTO, et al.

Serial No.: Not yet assigned

Filed: February 15, 2002

Title: IMAGE DISPLAY

Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

February 15, 2002

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2001-187478, filed June 21, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone  
Registration No. 28,141

GEM/alb  
Attachment  
(703) 312-6600

日本国特許庁  
JAPAN PATENT OFFICE

jcc997 U.S. PTO  
10/075591  
02/15/02  


別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出願年月日

Date of Application: 2001年 6月21日

出願番号

Application Number: 特願2001-187478

[ST.10/C]:

[JP2001-187478]

出願人

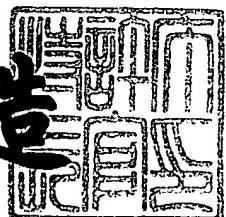
Applicant(s): 株式会社日立製作所

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2002年 1月18日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 H01008901A

【あて先】 特許庁長官 殿

【国際特許分類】 G09F 9/30

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

【氏名】 秋元 肇

【発明者】

【住所又は居所】 千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

【氏名】 西谷 茂之

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

【氏名】 小村 真一

【発明者】

【住所又は居所】 千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

【氏名】 佐藤 敏浩

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

【氏名】 景山 寛

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

【氏名】 清水 喜輝

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【電話番号】 03-3212-1111

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置

【特許請求の範囲】

【請求項1】

複数の画素により構成された表示部と、該画素領域に表示信号電圧を入力するための信号線を有する画像表示装置において、上記信号線から第一の容量の一端に表示信号電圧を入力するために設けられた第一のスイッチ手段と、該第一の容量の他端に入力が接続された入力電圧反転出力手段と、該入力電圧反転出力手段の出力によって制御された発光手段と、該入力電圧反転出力手段の入力端と出力端の間に設けられた第二のスイッチ手段とを上記複数の画素領域の少なくとも1つに有し、更に、上記表示信号電圧を含む所定の電圧範囲内で掃引される画素駆動電圧を発生するための画素駆動電圧発生手段と、上記画素駆動電圧を上記画素における上記第一の容量の一端に入力するための画素駆動電圧入力手段とを有することを特徴とする画像表示装置。

【請求項2】

上記発光手段は、発光ダイオード素子であることを特徴とする請求項1記載の画像表示装置。

【請求項3】

上記発光ダイオード素子は、有機発光ダイオード(OLED, Organic Light Emitting Diode)素子であることを特徴とする請求項2記載の画像表示装置。

【請求項4】

上記各スイッチ手段及び入力電圧反転出力手段は、多結晶Si-TFT(Thin-Film-Transistor)を用いて透明基板上に設けられていることを特徴とする請求項1記載の画像表示装置。

【請求項5】

上記入力電圧反転出力手段は、CMOS(Complementary Metal Oxide Semiconductor)インバータ回路で構成されていることを特徴とする請求項1記載の画像表示装置。

【請求項6】

上記入力電圧反転出力手段は、多結晶Si-TFT(Thin-Film-Transistor)と、負荷となる発光ダイオード素子で構成されていることを特徴とする請求項2記載の画像表示装置。

【請求項7】

上記多結晶Si-TFTのゲートとソースの間には、更に第二の容量が設けられていることを特徴とする請求項6記載の画像表示装置。

【請求項8】

上記画素駆動電圧発生手段が発生する、所定の電圧範囲内でスイープする画素駆動電圧は、三角波であることを特徴とする請求項1記載の画像表示装置。

【請求項9】

上記画素駆動電圧発生手段が発生する、所定の電圧範囲内で掃引される画素駆動電圧は、階段波形であることを特徴とする請求項1記載の画像表示装置。

【請求項10】

上記表示信号電圧は、該階段波形において離散的に分布する画素駆動各電圧の、隣接する2つの電圧の実質的中間の値をとることを特徴とする請求項9記載の画像表示装置。

【請求項11】

該信号線と第一のスイッチ手段は、上記画素駆動電圧入力手段を兼ねることを特徴とする、特許請求の範囲第1項記載の画像表示装置。

【請求項12】

上記画素駆動電圧入力手段は、該信号線と並行に設けられた画素駆動電圧線と、該画素駆動電圧線と該第一の容量の一端との間に設けられた第三のスイッチ手段で構成されることを特徴とする請求項1記載の画像表示装置。

【請求項13】

上記表示信号電圧は、多結晶Si-TFT(Thin-Film-Transistor)を用いて構成したD-A変換器によって発生させたものであることを特徴とする請求項4記載の画像表示装置。

【請求項14】

上記表示信号電圧は、単結晶Si-LSI(Large Scale Integrated circuit)によつ

て発生させたものであることを特徴とする請求項4記載の画像表示装置。

【請求項15】

上記第一の容量は、多結晶Si-TFTのゲート絶縁膜容量で構成されていることを特徴とする請求項4記載の画像表示装置。

【請求項16】

上記画素駆動電圧は、画素一行分の表示信号電圧書き込みタイミングと同期して掃引することを特徴とする請求項1記載の画像表示装置。

【請求項17】

上記画素駆動電圧は、画素複数行分の表示信号電圧書き込みタイミングと同期して掃引することを特徴とする請求項1記載の画像表示装置。

【請求項18】

上記画素駆動電圧は、全画素の表示信号電圧書き込みタイミングと同期して掃引することを特徴とする請求項1記載の画像表示装置。

【請求項19】

上記画素駆動電圧の掃引繰返し周波数は、可変であることを特徴とする請求項1記載の画像表示装置。

【請求項20】

上記画素駆動電圧の印加期間は、画素一行分の表示信号電圧の書き込み期間と交互に設けられていることを特徴とする請求項1記載の画像表示装置。

【請求項21】

複数の画素により構成された表示部と、外部から取り込まれた表示信号を記憶し、更にそのデータ処理を行う表示信号処理部と、該画素領域に表示信号電圧を入力するためにの信号線を有する画像表示装置において、

上記信号線から第一の容量の一端に表示信号電圧を入力するために設けられた第一のスイッチ手段と、該第一の容量の他端に入力が接続された入力電圧反転出力手段と、該入力電圧反転出力手段の出力によって制御された発光手段と、該入力電圧反転出力手段の入力端と出力端の間に設けられた第二のスイッチ手段とを上記複数の画素領域の少なくとも一つに有し、更に、上記表示信号電圧を含む所定の電圧範囲内でスイープする画素駆動電圧を発生するための画素駆動電圧発生

手段と、該画素駆動電圧を上記画素における上記第一の容量の一端に入力するための画素駆動電圧入力手段とを有することを特徴とする画像表示装置。

【請求項22】

複数の画素により構成された表示部と、該画素領域に表示信号電圧を入力するための信号線を有する画像表示装置において、上記複数の画素領域の少なくとも1つにおいて、上記信号線から上記画素領域に入力された表示信号電圧を記憶する記憶手段と、該表示信号電圧に基づいて上記画素領域における画像出力のオン期間とオフ期間を決定する画素オン期間決定手段と、上記画像出力のオン動作を1フレーム内で複数回繰り返させるための画素駆動手段とを有することを特徴とする画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は多階調表示が可能な画像表示装置に係り、特に、画素間での表示特性ばらつきが十分に小さい画像表示装置に関する。

【0002】

【従来の技術】

以下に図16及び図17、図18を用いて、2つの従来の技術に関して説明する。

図16は従来の技術を用いた、発光表示デバイスの構成図である。画素発光体としての有機EL(Organic Electro-luminescent)素子204を有する画素205が表示部にマトリクス状に配置され、画素205はゲートライン206、ソースライン207、電源線208等を介して外部の駆動回路に接続されている。各画素205においては、ソースライン207は論理TFT(Thin-Film-Transistor)201を介して電力TFT203のゲート及び記憶コンデンサ202に接続されており、電力TFT203の一端と記憶コンデンサ202の他端とは共通に電源線208に接続されている。また電力TFT203の他端は有機EL素子204を介して共通電源端子に接続されている。

以下、本第一の従来例の動作を説明する。ゲートライン206が所定の画素行の論理TFT201を開閉することによって、外部の駆動回路からソースライン207に入

力されていた信号電圧は電力TFT203のゲート及び記憶コンデンサ202に入力、保持される。電力TFT203は、上記信号電圧に応じた駆動電流を有機EL素子204に入力し、これによって有機EL素子204は上記信号電圧に対応して発光する。

このような従来技術に関しては、例えば公開特許広報／特開平8-241048等に詳しく記載されている。

### 【0003】

なお本従来例では上記公知例に合せて有機EL(Organic Electro-luminescent)素子という呼称を用いたが、これは近年は有機発光ダイオード(OLED, Organic Light Emitting Diode)素子と称されることが多い。本明細書中でも、以降では後者の呼称を用いることとする。

次に図17及び図18を用いて、他の従来の技術を説明する。

図17は第二の従来の技術を用いた発光表示デバイスの構成図である。画素発光体としての有機発光ダイオード(OLED, Organic Light Emitting Diode)素子214を有する画素215が、表示部にマトリクス状に配置されている。但し図17では図面の簡略化のため、単一の画素のみを記載している。画素215は選択線216、データ線217、電源線218等を介して外部の駆動回路に接続されている。各画素215においては、データ線217は入力TFT211を介してキャンセルコンデンサ210に接続されており、キャンセルコンデンサ210の他端は駆動TFT213のゲート、記憶コンデンサ212、オートゼロスイッチ221の一端に入力されている。記憶コンデンサ212の他端と駆動TFT213の一端は共通に電源線218に接続されている。また駆動TFT213とオートゼロスイッチ221の他端とは、共通にELスイッチ223の一端に接続され、ELスイッチ223の他端はOLED素子214を介して共通電源端子に接続されている。なおここで、オートゼロスイッチ221とELスイッチ223はTFTで構成されており、これらのゲートはそれぞれオートゼロ入力線(AZ)222とEL入力線(AZB)224に接続されている。

以下、本第二の従来例の動作を図18を用いて説明する。ここで図18には、画素への表示信号入力時におけるデータ線217、オートゼロ入力線(AZ)222、EL入力線(AZB)224、選択線216の駆動波形が示されている。なお本画素はpチャネルのTFTで構成されているため、図18の駆動波形は、上(高電圧側)がTFTのオフ、下

(低電圧側)がTFTのオンに対応する。

#### 【0004】

始めに図に記載したタイミング(1)では、選択線216がオン、オートゼロ入力線(AZ)222がオン、EL入力線(AZB)224がオフである。これに対応してそれぞれ入力TFT211がオン、オートゼロスイッチ221がオン、ELスイッチ223がオフする。これによってデータ線217に入力されていたオフレベルの信号電圧がキャンセルコンデンサ210の一端に入力されると同時に、オートゼロスイッチ221がオンすることによってダイオード接続された駆動TFT213のゲート・ソース間電圧は、(電源線218の電圧+V<sub>th</sub>)にリセットされる。ここでV<sub>th</sub>は駆動TFT213のしきい値電圧である。この動作によって、画素はオフレベルの信号電圧が入力した場合に、駆動TFT213のゲートが丁度しきい値電圧にオートゼロバイアスされることになる。

#### 【0005】

次に図に記載したタイミング(2)では、オートゼロ入力線(AZ)222がオフ、データ線217に所定レベルの信号が入力される。これによってそれぞれオートゼロスイッチ221がオフし、キャンセルコンデンサ210の一端にはオンレベルの信号が入力される。この動作によって、駆動TFT213のゲート電圧は上記オートゼロバイアス条件時に比べて、信号の入力レベルを加算した分だけ電圧が変化する。

#### 【0006】

次に図に記載したタイミング(3)では、選択線216がオフ、EL入力線(AZB)224がオンする。これによって入力TFT211がオンして印加されていた入力レベルの信号をキャンセルコンデンサ210に記憶し、更にELスイッチ223がオンする。この動作によって、駆動TFT213のゲートはしきい値電圧から信号の入力レベルを加算した分だけ電圧が変化した状態で固定され、更に駆動TFT213によって駆動される信号電流がOLED素子214を所定の輝度で発光させる。

このような従来技術に関しては、例えばDigest of Technical Papers, SID98, pp.11-14等に詳しく記載されている。

#### 【0007】

【発明が解決しようとする課題】

上記従来技術によれば、多階調表示が可能であり、かつまた画素間での表示特性ばらつきが十分に小さい画像表示装置を提供するには困難があった。以下これに關して説明する。

図16を用いて説明した第一の従来例においては、多階調の表示を行うことは困難であった。有機EL素子204は電流駆動型の素子であり、これを駆動する電力TFT203は電圧入力の電流出力素子として機能している。ところがここで電力TFT203のしきい値電圧、 $V_{th}$ にばらつきがあると、このばらつき成分は入力した信号電圧に加算されてしまい、画素毎に固定した輝度むらを生じてしまう。一般にTFTは単結晶Si素子と比較して個々の素子間ばらつきが大きく、特に画素のように多数のTFTをつくり込んだ場合は、各素子間の特性ばらつきを抑えることは非常に困難である。例えば低温多結晶Si TFTの場合、1V単位で $V_{th}$ のばらつきが生じてしまうことが知られている。OLED素子は一般に入力電圧に対しては発光特性が敏感であり、1Vの入力電圧の違いによって発光輝度が倍近く変わることもあるため、中間調表示ではこのような輝度むらを許容することはできない。そこでこの輝度むらを回避するためには入力する信号電圧をオン、オフの二値に限定せざるを得ず、このために中間調表示を含む多階調表示は困難であった。

これに対して図17、図18を用いて説明した第二の従来例は、キャンセルコンデンサ210とオートゼロスイッチ221の導入によって、上記問題点の解決を図っている。即ち本従来例は、駆動TFT213の $V_{th}$ ばらつきをキャンセルコンデンサ210の両端電圧に吸収することによって、OLED素子214における輝度むらの発生回避を狙ったものである。しかしながら本従来例でも、 $V_{th}$ 以外の駆動TFT213の特性ばらつきによって、OLED素子214の階調発光精度は低下してしまう。本従来例ではOLED素子214の駆動電流は、駆動TFT213の電流出力によって得られている。このことは例え駆動TFT213の $V_{th}$ ばらつきをキャンセルすることができたとしても、駆動TFT213に移動度ばらつき等に起因する電流駆動能力のばらつきがあれば、同様に画素毎に利得ばらつき様の輝度むらを生じてしまうことを意味している。前述のように一般にTFTは個々の素子間ばらつきが大きく、特に画素のように多数のTFTをつくり込んだ場合は、各素子間のばらつきを抑えることは非常に困難である。例えば低温多結晶Si TFTの場合、数十%単位で移動度のばらつきが生じてしま

うことが知られている。このため本従来例を持ってしても、このような輝度むらの発生に起因する画素間の表示特性ばらつきを、十分に小さくすることは困難であった。

なお以上のような画素間の表示特性ばらつきを解決する方法として、「入力信号の振幅をパルス幅変調に変換する」ための「PWM(Pulse Width Modulation)信号変換回路」を各画素に集積するという方法が公開特許公報「特開2000-235370」に開示されている。この方法ではOLED素子の駆動はオンとオフのみで制御されるため、表示画面が低温多結晶Si TFTの特性ばらつきに影響されることはない、という考え方である。しかしながら本公知例には以下のような問題点がある。1つ目は「PWM信号変換回路」もまた、低温多結晶Si TFTで構成することが低コスト化のためには望ましいが、その場合には低温多結晶Si TFTの特性ばらつきのため、今度は「PWM信号変換回路」の出力であるパルス幅変調特性がばらついてしまうという問題である。2つ目は従来知られている「PWM表示方式」では、「擬似輪郭」ノイズに起因する画質劣化が生じることである。これはプラズマディスプレイで問題となった現象であり、表示期間がフレーム中で時間的に片寄ってしまうと、動画像に輪郭状のノイズが生じるという問題である。プラズマディスプレイではこれを変調パルス幅の信号処理によって対策しているが、画素内に設けられた「PWM信号変換回路」でそのような高度な信号処理機能を実現することは現実的ではない。

#### 【0008】

##### 【課題を解決するための手段】

上記の課題は、複数の画素により構成された表示部と、画素領域に表示信号電圧を入力するための信号線とを少なくとも有する画像表示装置において、信号線から第一の容量の一端に表示信号電圧を入力するために設けられた第一のスイッチ手段と、第一の容量の他端に入力が接続された入力電圧反転出力手段と、入力電圧反転出力手段の出力によって制御された発光手段と、入力電圧反転出力手段の入力端と出力端の間に設けられた第二のスイッチ手段とを画素領域の少なくとも1つに有し、更に上記表示信号電圧を含む所定の電圧範囲内で掃引される画素駆動電圧を発生するための画素駆動電圧発生手段と、上記画素駆動電圧を画素に

おける第一の容量の一端に入力するための画素駆動電圧入力手段を有することによって解決することができる。

## 【0009】

上記画像表示装置には、通常、外部から取り込まれた表示信号を記憶し、更にそのデータ処理を行う表示信号処理部が設けられる。

## 【0010】

また、本発明の課題は、複数の画素により構成された表示部と、該画素領域に表示信号電圧を入力するための信号線を有する画像表示装置において、上記複数の画素領域の少なくとも1つにおいて、上記信号線から上記画素領域に入力された表示信号電圧を記憶する記憶手段と、該表示信号電圧に基づいて上記画素領域における画像出力のオン期間とオフ期間を決定する画素オン期間決定手段と、上記画像出力のオン動作を1フレーム内で複数回繰り返させるための画素駆動手段とを有することによっても解決することができる。

## 【0011】

## 【発明の実施の形態】

## (第一の実施例)

以下図1～図8を用いて、本発明の第一の実施例について説明する。

始めに図1を用いて、本実施例の全体構成について述べる。

## 【0012】

図1は本実施例であるOLED(Organic Light Emitting Diode)表示パネルの構成図である。画素発光体としてのOLED素子4を有する画素5が表示部にマトリクス状に配置され、画素5はゲート線6、信号線7、リセット線10等を介して所定の駆動回路に接続されている。なおここでゲート線6及びリセット線10はゲート駆動回路22に、信号線7は信号駆動回路21及び三角波入力回路20に接続されており、画素5、ゲート駆動回路22、信号駆動回路21及び三角波入力回路20は全て、多結晶Si TFTを用いてガラス基板上に構成されている。各画素5においては、信号線7は入力TFT 1を介して記憶コンデンサ2に接続されており、記憶コンデンサ2の他端はリセットTFT 9の一端とインバータ回路3の入力端子に接続されている。リセットTFT 9の他端とインバータ回路3の出力端子は共通に、OLED素子4を介して共

通接地端子に接地されている。

## 【0013】

次に図6を用いて、上記インバータ回路3に関して説明する。

## 【0014】

図6は本実施例における一画素の構成図である。インバータ回路3は、nチャネル多結晶Si TFT 32及びpチャネル多結晶Si TFT 31で構成されており、両者のソースはそれぞれ、nチャネルソース線24及びpチャネルソース線23に接続されている。また本実施例では後に述べるように縦方向配線を低抵抗メタルで、横方向配線をゲートメタルで構成したため、両ソース線24, 23はより低抵抗な縦方向配線で実現されている。

## 【0015】

以下、本実施例の全体の動作を説明するに先立って、図6に示したインバータ回路3の動作について図2～図4を用いて述べる。

## 【0016】

図3はインバータ回路3の入力電圧、 $V_{in}$ —出力電圧、 $V_{out}$ 特性であり、図中に実線で示した曲線がこの電圧特性である。さてここでリセットTFT 9がオンした場合を考えると、この場合には $V_{in}$ と $V_{out}$ が等しくなる。図中に”A”と記入した白丸がその際の動作点であり、入出力電圧は $V_{rst}$ にリセットされる。良く知られているように、このとき $V_{rst}$ はインバータ電圧特性上における論理反転しきい値になる。

## 【0017】

次にOLED素子4の入力電圧、 $V_{oled}$ —出力電流、 $I_{oled}$ 特性を図2に示した。OLEDはダイオードであるから、図に示すようにある電圧、 $V_{el}$ を超えると急激にその電流が立上る（ターンオンする）ことが判る。一般にはこのOLED電流特性は、入力電圧に対して6乗から7乗程度の関数になると報告されている。

## 【0018】

さてここで図3に示したインバータ回路3の特性と、図2に示したOLED素子4の特性を組み合わせることを考える。即ちインバータ回路3の出力電圧、 $V_{out}$ をOLED素子4の入力電圧、 $V_{oled}$ と置く。更に図3に示すように、 $V_{el}$ を”A”より

も大きく、かつインバータ回路 3の出力ハイレベルよりも小さい（インバータ回路 3の出力範囲内でOLED素子4がターンオンする）ように、nチャネルソース線24及びpチャネルソース線 23の電圧を設定する。このとき出力、Velonに対応する入力をVonとすると、OLED素子4の電流、Ioledはインバータ回路 3の入力電圧、Von近傍で急激に立上るであろうことが理解される。

## 【0019】

図4はインバータ回路 3の入力電圧、Vinを横軸に、OLED素子4の電流、Ioledを縦軸に取って、この様子を示したものである。Ioledは、Vrstより若干低い入力電圧であるVonにおいて、ほぼ矩形に近い立上りでターンオンする。またインバータ回路 3の立上り特性が十分に急峻ならば、このVrstとVonの値は非常に近い値になり、近似的には同電圧と見なすことができるようになる。

## 【0020】

次に本実施例の全体の動作を、図5を用いて説明する。

## 【0021】

図5は本実施例におけるn行目のゲート線6及びリセット線10と、(n+1)行目のゲート線6及びリセット線10、更に任意の信号線7の動作波形を、2行分の画素の書き込み期間（二水平期間）に渡って示したものである。

## 【0022】

一水平期間の前半は表示信号の「書き込み期間」であり、図中に示したタイミング(1)で、選択された行（ここではn行目）のゲート線6及びリセット線10が立上る。なおここで本実施例では入力TFT 1、リセットTFT 9はnチャネルなので、ゲート線6及びリセット線10は上（高電圧側）がオン、下（低電圧側）がオフに対応し、選択された行の入力TFT 1及びリセットTFT 9がオンになる。リセットTFT 9がオンになると、先にインバータ回路 3の動作説明で述べたように、インバータ回路 3の入出力電圧はVrstにリセットされ、この電圧は記憶コンデンサ2の一端に印加される。またこのとき同時に各信号線7には所定の表示信号電圧が入力されており、この表示信号電圧はオンになった入力TFT 1を通して記憶コンデンサ2の他端に印加される。この後リセット線10の電圧が下がってリセットTFT 9はオフするが、以上の動作によって、選択された行の画素の各記憶コンデンサ

2には、信号線7から上記表示信号電圧が入力されたときにインバータ回路3の入力にVrstを入力するように、必要な信号電荷が書込まれることになる。なお前述のようにインバータ回路3の立上り特性が十分に急峻ならば、VrstとVonの値は極めて近い値になり、近似的に同電圧と見なすことができる。即ちこの画素は、信号線7から上記の表示信号電圧が入力されると、インバータ回路3の出力がほぼVelonとなってOLED素子4がターンオンないしターンオフすることになる。なお図5では簡略化のために、このVrstとVonの値を近似的に同電圧として示してある。

#### 【0023】

一水平期間の後半は選択された画素行のみならず、全画素に対する「駆動期間」である。図5に示したタイミング(2)では、全画素のゲート線6が立上り、全画素の入力TFT1がオン状態になる。またこの期間には、各信号線7には先程画素に書込まれた表示信号電圧レベルを含む範囲で、三角波状の画素駆動電圧が印加、掃引される。入力TFT1がオンしているため、この画素駆動電圧は全ての画素の各記憶コンデンサ2に入力されるが、ここで三角波状の画素駆動電圧が、予め書込んでいた表示信号電圧に一致した画素から順番に、インバータ回路3の入力電圧はVrst (=Von) となり、その画素のOLED4がターンオン(点灯)する。これによって本実施例においては、予め書込まれた表示信号電圧に基づき、各画素の点灯時間を変調することで、多階調の画素点灯表示が可能である。このとき画素駆動電圧の電圧掃引範囲の下端を、最も低電圧の表示信号電圧レベルと一致させておけば、最も低電圧の表示信号電圧レベルが書込まれた画素だけはOLED4が全く点灯しない黒レベルとすることができます。但し現実にはノイズ等の影響もあるため、全く点灯しない黒レベルを保証して表示パネルのコントラストを十分に大きくするためには、画素駆動電圧の掃引電圧範囲の下端は、最も低電圧の表示信号電圧レベルより若干高い電圧で止めておくことが望ましい。

#### 【0024】

なお本実施例によれば、OLED4を駆動するインバータ回路3を構成するnチャネル多結晶Si TFT32及びpチャネル多結晶Si TFT31の特性ばらつきは、殆んど輝度むらを生じることはなく、画素間の表示特性ばらつき発生を回避することが

できる。なぜならばリセットTFT 9がオンした際のインバータ回路 3入力電圧,  $V_{rst}$ は、先に述べたようにTFT特性のばらつきとは無関係に、近似的に $V_{on}$ とみなすことができるからである。このための前提条件は、インバータ回路 3の出力立ち上り特性が十分に急峻ならば満足される。これはnチャネル多結晶Si TFT 32及びpチャネル多結晶Si TFT 31の相互コンダクタンスを、各TFTのドレインコンダクタンスやOLED 4の入力コンダクタンスよりも十分に大きくなるように、各素子のパラメータやその動作条件を設計することで達成可能である。

#### 【0025】

次に本実施例の具体的な構造について、図7、図8を用いて説明する。

#### 【0026】

図7は本実施例の画素5のレイアウト図である。縦方向に信号線7、nチャネルソース線24、pチャネルソース線23が低抵抗Al配線で設けられており、横方向にはゲート線6及びリセット線10がゲート配線で設けられている。信号線7とゲート線6の交点には低温多結晶Si TFTプロセスで作られた入力TFT 1が構成されており、入力TFT 1の他端はそのまま横方向に延在して記憶コンデンサ2の一方の電極を構成している。記憶コンデンサ2の対向電極は、そのままnチャネル低温多結晶Si TFT 32及びpチャネル低温多結晶Si TFT 31のゲート電極になっている。ここで既に述べたように、nチャネル低温多結晶Si TFT 32及びpチャネル低温多結晶Si TFT 31のソースはそれぞれnチャネルソース線24及びpチャネルソース線23に接続されており、nチャネル低温多結晶Si TFT 32及びpチャネル低温多結晶Si TFT 31のドレインは共通にOLED素子4に入力している。またこのドレン端子は同時に、リセット線10でゲートが構成されているリセットTFT 9の一端にも接続されており、リセットTFT 9の他端は前述の記憶コンデンサ2の対向電極に接続されている。なおここでOLED素子4における共通接地端子は、各画素間で共通に接続されかつ接地されているが、図面の簡略化のために図7では省略した。

#### 【0027】

図8は、図7に示したライン”L-M-N”における断面図である。既に述べたように入力TFT 1のチャネルを構成する多結晶Siアイランドは横方向に延在し

、nチャネル低温多結晶Si TFT 32及びpチャネル低温多結晶Si TFT 31のゲート電極との間で記憶コンデンサ2を構成している。ここで記憶コンデンサ2はTFTのゲート容量で構成されているため、記憶コンデンサ2のチャネルが構成されるように、常にゲート容量の両電極間にはV<sub>th</sub>以上の電圧が印加される条件の下で駆動されている。なお記憶コンデンサ2は、予め十分に大きい値に設計しておくことが重要である。これはnチャネル低温多結晶Si TFT 32及びpチャネル低温多結晶Si TFT 31のゲート電極入力容量が、ミラー効果によって見かけ上極めて大きくなることに起因する。図8に示したように、上記構造は透明なガラス基板33上に構成され、OLED素子4からの発光を基板下方に取り出せるようにしている。

#### 【0028】

なおシフトレジスタと切替スイッチで構成されるゲート駆動回路22、6bitのDA変換回路で構成される信号駆動回路21、外部から入力される三角波をバッファする三角波入力回路20からなる周辺駆動回路も、図8に示した画素部と同様の低温多結晶Si TFT回路で構成されている。これらの回路形態は一般に知られている技術で実現が可能であるため、ここではその説明は省略する。

さて以上に述べた本実施例においては、本発明の主旨を損なわない範囲でいくつもの変更が可能である。例えば本実施例ではTFT基板としてガラス基板33を用いたが、これを石英基板や透明プラスチック基板等の他の透明絶縁基板に変更することも可能であるし、またOLED素子4の発光を上面に取り出すようにすれば、不透明基板を用いることも可能である。

或いは各TFTに関しても本実施例では入力TFT 1やリセットTFTにnチャネルを用いたが、駆動波形を適宜変更すれば、これらをpチャネルやCMOSスイッチに変更することも可能である。インバータ回路3に関しても、ここで用いたようなCMOSインバータに限る必要はなく、例えばnチャネルTFTを定電流源回路に変更する等の変形が可能であることは言うまでもない。

また本実施例においては、先に述べたように記憶コンデンサ2の構造をTFTゲート構造と同一のプロセスで形成することによって、製造プロセスの簡略化による低コスト化を実現している。しかしながら本発明の目的とする効果を得るためにには、必ずしもこれらの各構成要素の共通化を図る必要はなく、記憶コンデンサ2

のゲート下に高濃度不純物を導入したりすることや、或いは記憶コンデンサ2の構造をゲート層と配線層で形成する等の変更も可能である。

また本実施例の説明においては、画素数やパネルサイズ等に関しては敢えて言及していない。これは本発明が特にこれらのスペックないしフォーマットに制限されるものではないためである。また今回は表示信号電圧を64階調(6bit)のディスクリートな階調電圧としているが、これを例えばアナログ電圧にすることも容易であり、或いは信号電圧階調数も特に特定の値に制限されるものではない。またOLED素子4における共通端子の電圧を接地電圧としているが、この電圧値も所定の条件の下で変更可能であることは言うまでもない。

#### 【0029】

また本実施例ではゲート駆動回路22、信号駆動回路21、三角波入力回路20からなる周辺駆動回路は、低温多結晶Si TFT回路で構成している。しかしながらこれらの周辺駆動回路あるいはその一部分を単結晶LSI(Large Scale Integrated circuit)回路で構成して実装することも、本発明の範囲内で可能である。

#### 【0030】

本実施例では、発光デバイスとしてOLED素子4を用いることとした。しかしこれに代えてその他の無機を含む一般の発光素子を用いても、本発明を実現することが可能であることは明らかである。

#### 【0031】

なお発光デバイスを赤、緑、青の3種類の色毎に作り分けてカラー化を実現する場合には、色バランスを取るために各発光デバイスの面積や、駆動電圧条件を変化させることが好ましい。ここで駆動電圧条件を変化させる場合、本実施例においてはnチャネルソース線24及びpチャネルソース線23の電圧を色毎に変化させて調整することができる。この場合、配線の簡略化の観点からは、特に3色はストライプ配置することが望ましい。また本実施例でOLED素子4の共通端子電圧を接地電圧したことに対しても、OLED素子4の共通端子を赤、緑、青の3種類の色毎に作り分け、それぞれ適当な電圧で駆動することも可能である。更にこの駆動電圧を表示条件や表示の絵柄等によって適当に調整することで、色温度補正機能を実現することも可能である。

以上の種々の変更等は、本実施例に限らず以下のその他の実施例においても、  
基本的に同様に適用可能である。

(第二の実施例)

以下図9を用いて、本発明の第二の実施例について説明する。

本実施例の構成及び動作は、第一の実施例では図5に示した信号線7の動作波形が異なっていることを除けば、基本的に第一の実施例のそれと同一である。従つてここでは構成及びその動作の記載は省略し、本実施例の特徴である信号線7の動作波形について以下説明する。

第9は、本第二の実施例における信号線7の動作波形を示したものである。ここで第一の実施例では駆動期間中の画素駆動電圧掃引波形は、水平期間毎に同一波形の繰返しだったが、本第二の実施例では、画素駆動電圧掃引波形は3つの部分に分割されており、三水平期間を合せて一回の三角波を構成している。

これによって本実施例においては三角波の駆動周波数が低減されるため、三角波入力回路20の出力インピーダンスをより大きく設計することができ、駆動消費電力の低減が可能となっている。

なお本実施例では三角波の掃引周波数を水平期間の3倍としたが、これは一般的には任意のn倍とすることが可能であり、全画素の書換え期間に相当するフレーム周波数としたり、さらにフレーム周波数の任意のm倍とすること、或いは三角波の掃引周波数を表示画像の内容（静止画か動画か、など）やその他の使い方によつて可変とすることも可能である。但し三角波の掃引周波数をあまり遅くすぎた場合、或いは水平期間の自然数倍から外した場合には、視覚上でフリッカとなってしまうことがあるので注意が必要である。

【0032】

また三角波の掃引周波数をフレーム周波数以下とした場合は、プラズマディスプレイ(PDP, Plasma Display Panel)で問題になったと同様な擬似輪郭雑音が生じる可能性がある。このことから三角波の掃引周波数はフレーム周波数以上、できればフレーム周波数の2倍以上であることが望ましい。

(第三の実施例)

以下図10を用いて、本発明の第三の実施例について説明する。

本実施例の構成及び動作は、第一の実施例では図5に示した信号線7の動作波形が異なっていることを除けば、基本的に第一の実施例のそれと同一である。従ってここでも構成及びその動作の記載は省略し、本実施例の特徴である信号線7の動作波形について以下説明する。

第10は、本第三の実施例における信号線7の動作波形を示したものである。ここで第一の実施例では駆動期間中の画素駆動電圧掃引波形は連続して変化する三角波であったが、本第三の実施例では書き込み信号は4階調(2bit)であると同時に、画素駆動電圧掃引波形も4階調の階段波形となっている。なおここでは特に、4階調の各書き込み信号電圧レベルは、画素駆動電圧掃引波形における階段波形の各階段電圧レベルの丁度中間値になるように設定されている。

これによって本実施例においては、雑音等に起因する微妙な信号線電圧の変化がOLED素子4の発光に反映されることが殆んど無くなるため、よりS/Nの良い表示を得ることができる。4階調の各書き込み信号電圧レベルは、画素駆動電圧掃引波形における階段波形の各階段電圧レベルの丁度中間値になるように設定されているため、各階段電圧レベルの半分以下の雑音では、対応する電圧レベルがずれてしまうことはないからである。

なお本実施例では書き込み信号及び画素駆動電圧掃引波形を4階調(2bit)としたが、明らかに本発明はその信号階調数を制限するものではない。例えば同様の考え方から64階調(6bit)等、任意の階調表示が実現可能である。但し先程のS/Nの考え方からは、各階調間の電圧差が小さくなるほど雑音に対しては弱くなるため注意が必要である。

### 【0033】

なお本実施例を含め、以上の実施例では画素駆動電圧掃引波形は基本的に線形であった。しかしながら上記のS/Nの観点や、或いは $\gamma$ 特性の観点から、非線型の画素駆動電圧掃引を行うことも必要に応じて可能である。

#### (第四の実施例)

以下図11を用いて、本発明の第四の実施例について説明する。

本実施例の構成及び動作は、第一の実施例では図6に示した画素構造が異なることを除けば、基本的に第一の実施例のそれと同一である。従ってここでも

全体の構成及びその動作の記載は省略し、本実施例の特徴である画素構造について以下説明する。

図11は第四の実施例における一画素の構成図である。

画素発光体としてのOLED素子44を有する画素45は、ゲート線46、信号線47、リセット線50、pチャネルソース線54を介して周辺の駆動回路に接続されている。

信号線47はゲート線46で制御される入力TFT41を介して記憶コンデンサ42に接続されており、記憶コンデンサ42の他端はリセット線50で制御されるリセットTFT49の一端とpチャネル多結晶Si TFT51のゲート端子に接続されている。リセットTFT49の他端とpチャネル多結晶Si TFT51の一端は共通に、OLED素子44を介して共通接地端子に接地されている。またpチャネル多結晶Si TFT51のゲートは補助容量40を介してpチャネル多結晶Si TFT51のソースに接続されており、pチャネル多結晶Si TFT51のソースはpチャネルソース線54に接続されている。また本実施例でも縦方向配線を低抵抗メタルで、横方向配線をゲートメタルで構成したため、信号線47とpチャネルソース線54はより低抵抗な縦方向配線で実現されている。ここで本第四の実施例においては、第一の実施例におけるインバータ回路3は等価的に、OLED素子44を負荷としたpチャネル多結晶Si TFT51で構成されていることになる。なお補助容量40は、OLED素子44を負荷としたpチャネル多結晶Si TFT51で構成されるインバータ回路の入力容量値を安定化させるために付加されたものである。但し等価インバータ回路の立上り特性が安定していれば、補助容量40はなくとも構わない。

本第四の実施例の画素部の動作は、基本的には第一の実施例のそれと同様である。但し本実施例においては入力TFT41とリセットTFT49はnチャネルではなくpチャネル低温多結晶Si TFTで構成されているため、ゲート線46とリセット線50の駆動波形が第一の実施例とは反転していることに注意が必要である。

本実施例においては、画素45を構成するTFTの数が減っており、より高歩留りで低価格の表示パネルを提供することが可能である。また更に画素にnチャネル多結晶Si TFTが存在しないことから、周辺回路を外付けLSIで構成したり、或いは同様にnチャネル多結晶Si TFTを用いずにpチャネルの回路のみで構成すれば、nチャネル多結晶Si TFTを形成せずに表示パネルを製造することも可能である。

この場合はnチャネル形成工程が不要になるため、より低価格な表示パネルを実現することができる。

(第五の実施例)

以下図12を用いて、本発明の第五の実施例に関して説明する。

本実施例の構成及び動作は、第一の実施例では図6に示した画素構造が異なっていることを除けば、基本的に第一の実施例のそれと同一である。従ってここでも全体の構成及びその動作の記載は省略し、本実施例の特徴である画素構造について以下に説明する。

図12は第五の実施例における一画素の構成図である。

画素発光体としてのOLED素子64を有する画素65は、ゲート線66、信号線67、リセット線70、nチャネルソース線73及びpチャネルソース線74を介して周辺の駆動回路に接続されている。信号線67はゲート線66で制御される入力TFT61を介して記憶コンデンサ62に接続されており、記憶コンデンサ62の他端はリセット線70で制御されるリセットTFT69の一端とpチャネル多結晶Si TFT71及びnチャネル多結晶Si TFT72のゲート端子に接続されている。リセットTFT69の他端とpチャネル多結晶Si TFT71及びnチャネル多結晶Si TFT72のドレインは共通に、OLED駆動TFT70のゲートに入力し、OLED駆動TFT70のドレインはOLED素子64を介して共通接地端子に接地されている。またpチャネル多結晶Si TFT71及びOLED駆動TFT70のソースは共にpチャネルソース線74に接続され、nチャネル多結晶Si TFT72のソースはnチャネルソース線73に接続されている。また本実施例でも縦方向配線を低抵抗メタルで、横方向配線をゲートメタルで構成したため、信号線67とnチャネルソース線73及びpチャネルソース線74はより低抵抗な縦方向配線で実現されている。ここで本第五の実施例においては、第一の実施例におけるインバータ回路3は等価的に、OLED駆動TFT70をバッファとして有していることになる。

本第五の実施例の画素部の動作は、基本的には第一の実施例のそれと同様であるので、ここでは説明は省略する。

本実施例においては、pチャネル多結晶Si TFT71及びnチャネル多結晶Si TFT72で構成されるインバータ回路とOLED素子64とは、OLED駆動TFT70によるバッフ

アで隔てられているため、インバータ回路はOLED素子64の特性とは無関係に駆動される。従ってインバータ回路の動作安定性が増してより立上り特性の良いインバータ回路を実現することができ、その結果画素間の発光特性のばらつきをより低減することができる。

#### (第六の実施例)

以下図13、図14を用いて、本発明の第六の実施例について説明する。本実施例の構成及び動作は、第一の実施例では図6に示した画素構造が異なっていることを除けば、基本的に第一の実施例のそれと同一である。従ってここでも全体の構成及びその動作の記載は省略し、本実施例の特徴である画素構造について以下説明する。

図13は第六の実施例における一画素の構成図である。

画素発光体としてのOLED素子84を有する画素85は、ゲート線86、信号線87、リセット線90、pチャネルソース線94、駆動信号線96、駆動ゲート線97を介して周辺の駆動回路に接続されている。信号駆動回路21（図示せず）から伸びる信号線87はゲート線86で制御される入力TFT81を介して記憶コンデンサ82に接続されており、同時に三角波入力回路20（図示せず）から伸びる駆動信号線96も駆動ゲート線97で制御される駆動入力TFT98を介して同様に記憶コンデンサ82に接続されている。記憶コンデンサ82の他端はリセット線90で制御されるリセットTFT89の一端とpチャネル多結晶Si TFT91のゲート端子に接続されている。リセットTFT89の他端とpチャネル多結晶Si TFT91の一端は共通に、OLED素子84を介して共通接地端子に接地されている。またpチャネル多結晶Si TFT91のソースはpチャネルソース線94に接続されている。また本実施例でも縦方向配線を低抵抗メタルで、横方向配線をゲートメタルで構成したため、信号線87、駆動信号線96、pチャネルソース線94はより低抵抗な縦方向配線で実現されている。ここで本第六の実施例においては、第一の実施例におけるインバータ回路3が等価的に、OLED素子84を負荷としたpチャネル多結晶Si TFT91で構成されていることは、第四の実施例と同様である。

本第六の実施例の画素部の動作は、基本的には第一の実施例のそれと同様である。但し本実施例においては記憶コンデンサ82への入力経路は、信号線87を経由す

るものと駆動信号線96を経由するものの二通りが使い分けられている。以下これに関して図14を用いて説明する。

図14は信号線87及び駆動信号線96の駆動波形である。選択された画素行では、「書き込み期間」に選択された行のゲート線86がオンし、信号線87と入力TFT 81を経由して表示信号電圧が書き込まれる。一方選択されていないその他の画素行では、常に全ての駆動ゲート線97がオンし、駆動信号線96と駆動入力TFT 98を経由して三角波である画素駆動電圧が入力し、各画素に予め書き込まれていた表示信号に対応してOLED素子84が発光する。

#### 【0034】

本実施例においては、画素に対して表示信号電圧と画素駆動電圧のいずれかがそれぞれ、信号線87と駆動信号線96という別々の配線を経由して入力される。このために選択された画素に表示信号電圧が書き込まれている期間内にも、書き込み選択されていない画素は常に発光駆動されることが可能であり、同一の電流駆動条件では表示輝度が向上する。また選択された画素行では、「書き込み期間」を最大で一水平期間にまで延長することが可能である。従って書き込みの時定数を拡大することができ、表示信号電圧書き込み時の消費電力低減も可能である。

#### (第七の実施例)

以下図15を用いて、本発明における第七の実施例について説明する。

図15は第七の実施例である画像表示端末 (PDA : Personal Digital Assistants) 100の構成図である。

無線インターフェース (I/F) 回路101には、圧縮された画像データ等が外部からbluetooth規格に基づく無線データとして入力し、無線I/F回路101の出力はI/O (Input/Output) 回路102を介してデータバス103に接続される。データバス103にはこの他にマイクロプロセッサ104、表示パネルコントローラ105、フレームメモリ106等が接続されている。更に表示パネルコントローラ105の出力はOLED表示パネル110に入力しており、OLED表示パネル110には画素マトリクス111、ゲート駆動回路22、信号駆動回路21等が設けられている。なお画像表示端末100には更に、三角波発生回路112、電源107が設けられており、三角波発生回路112の出力はOLED表示パネル110に入力している。なおここでOLED表示パネル110は、パネル内に

三角波入力回路20が設けられていないことを除けば、先に述べた第一の実施例と同一の構成および動作を有しているので、その内部の構成及び動作の記載はここでは省略する。

以下に本第七の実施例の動作を説明する。始めに無線I/F回路101は命令に応じて圧縮された画像データを外部から取り込み、この画像データをI/O回路102を介してマイクロプロセサ104及びフレームメモリ106に転送する。マイクロプロセサ104はユーザからの命令操作を受けて、必要に応じて画像表示端末100を駆動し、圧縮された画像データのデコードや信号処理、情報表示を行う。ここで信号処理された画像データは、フレームメモリ106に一時的に蓄積される。

ここでマイクロプロセサ104が表示命令を出した場合には、その指示に従ってフレームメモリ106から表示パネルコントローラ105を通してOLED表示パネル110に画像データが入力され、画素マトリクス111は入力された画像データをリアルタイムで表示する。このとき表示パネルコントローラ105は、同時に画像を表示するために必要な所定のタイミングパルスを出力し、これと同期して三角波発生回路112は三角波状の画素駆動電圧を出力する。なおOLED表示パネル110がこれらの信号を用いて、画素マトリクス111に6ビット画像データから生成された表示データをリアルタイムで表示することに関しては、第一の実施例で述べたとおりである。なおここで電源107には二次電池が含まれており、これらの画像表示端末100全体を駆動する電力を供給する。

本実施例によれば、多階調表示が可能であり、かつまた画素間での表示特性ばらつきが十分に小さい画像表示端末100を提供することができる。

なお本実施例では画像表示デバイスとして、第一の実施例で説明したOLED表示パネルと類似のパネルを用いたが、これ以外のその他の本発明の実施例に記載されたような種々の表示パネルを用いることが可能であることは明らかである。

### 【0035】

#### 【発明の効果】

本発明によれば、多階調表示が可能であり、かつまた画素間での表示特性ばらつきが十分に小さい画像表示装置を提供することができる。

#### 【図面の簡単な説明】

【図1】

第一の実施例であるOLED表示パネルの構成図。

【図2】

第一の実施例におけるOLED素子の電圧－電流特性図。

【図3】

第一の実施例におけるインバータ回路の入力電圧－出力電圧特性図。

【図4】

第一の実施例におけるインバータ回路の入力電圧－電流特性図。

【図5】

第一の実施例におけるゲート線、リセット線、信号線動作波形図。

【図6】

第一の実施例における一画素の構成図。

【図7】

第一の実施例における画素レイアウト図。

【図8】

第一の実施例における画素断面図。

【図9】

第二の実施例における信号線の動作波形図。

【図10】

第三の実施例における信号線の動作波形図。

【図11】

第四の実施例における画素の構成図。

【図12】

第五の実施例における画素の構成図。

【図13】

第六の実施例における画素の構成図。

【図14】

第六の実施例における信号線及び駆動信号線の駆動波形図。

【図15】

第七の実施例における画像表示端末の構成図。

【図16】

従来の技術を用いた発光表示デバイスの構成図。

【図17】

第二の従来の技術を用いた発光表示デバイスの構成図。

【図18】

第二の従来の技術を用いた発光表示デバイスの動作説明図。

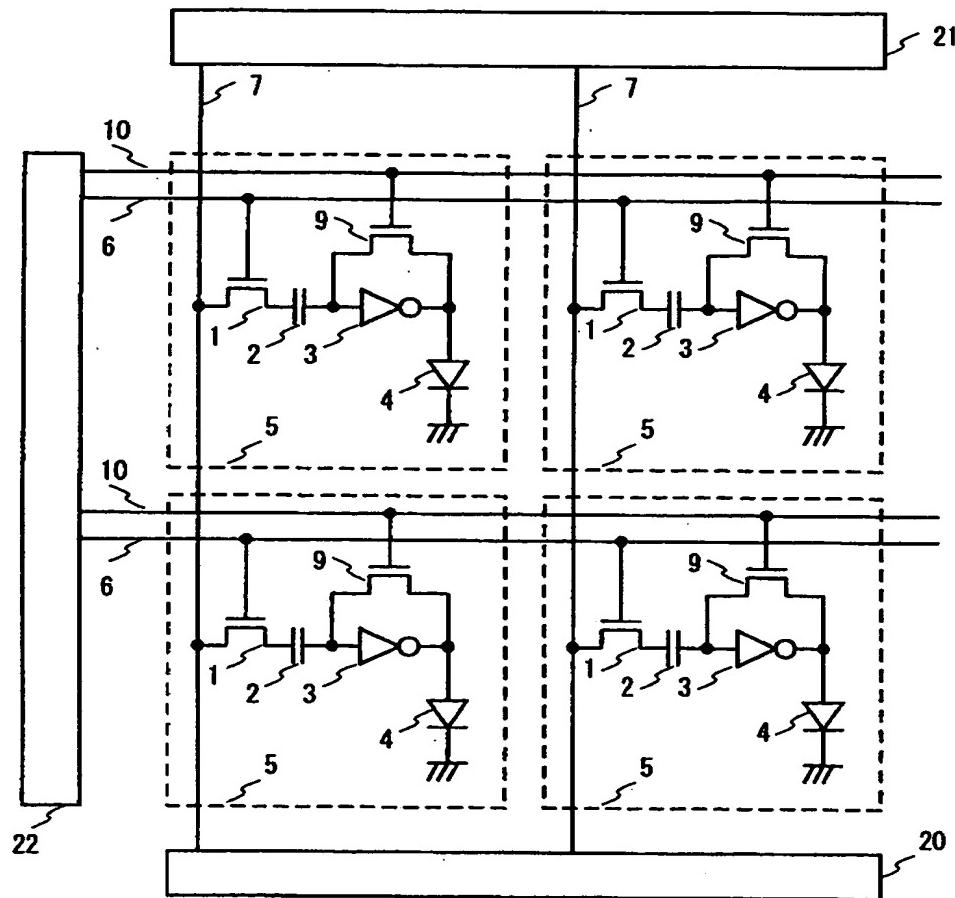
【符号の説明】

1…入力TFT、2…記憶コンデンサ、3…インバータ回路、4…OLED素子、5…画素  
、6…ゲート線、7…信号線、10…リセット線、20…三角波入力回路、21…信号駆  
動回路、22…ゲート駆動回路、33…ガラス基板。

【書類名】 図面

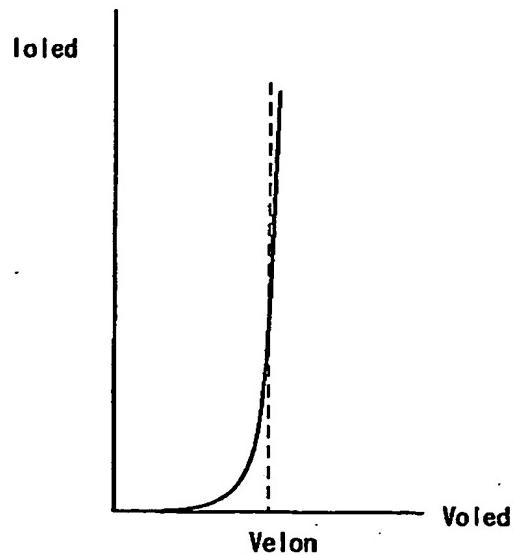
【図1】

図1



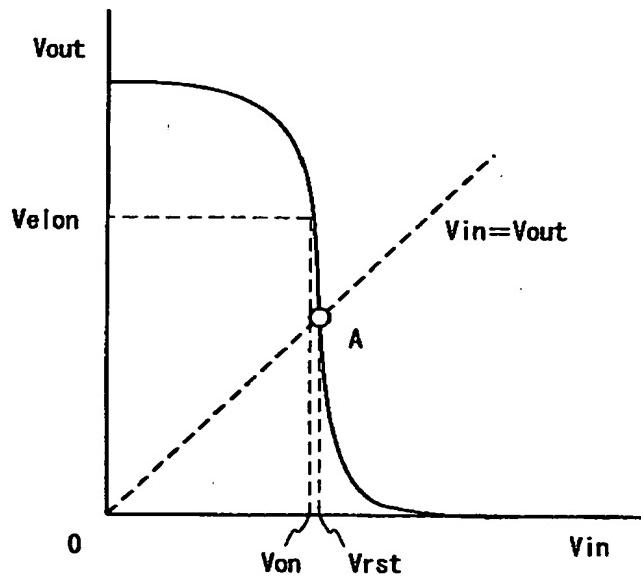
【図2】

図2



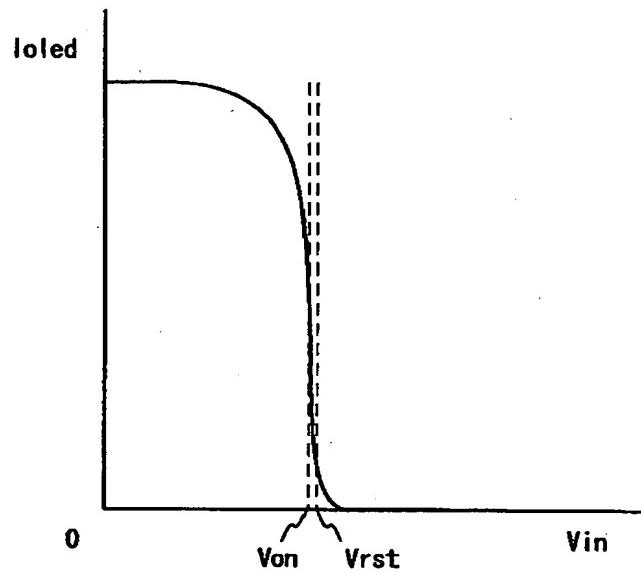
【図3】

図3



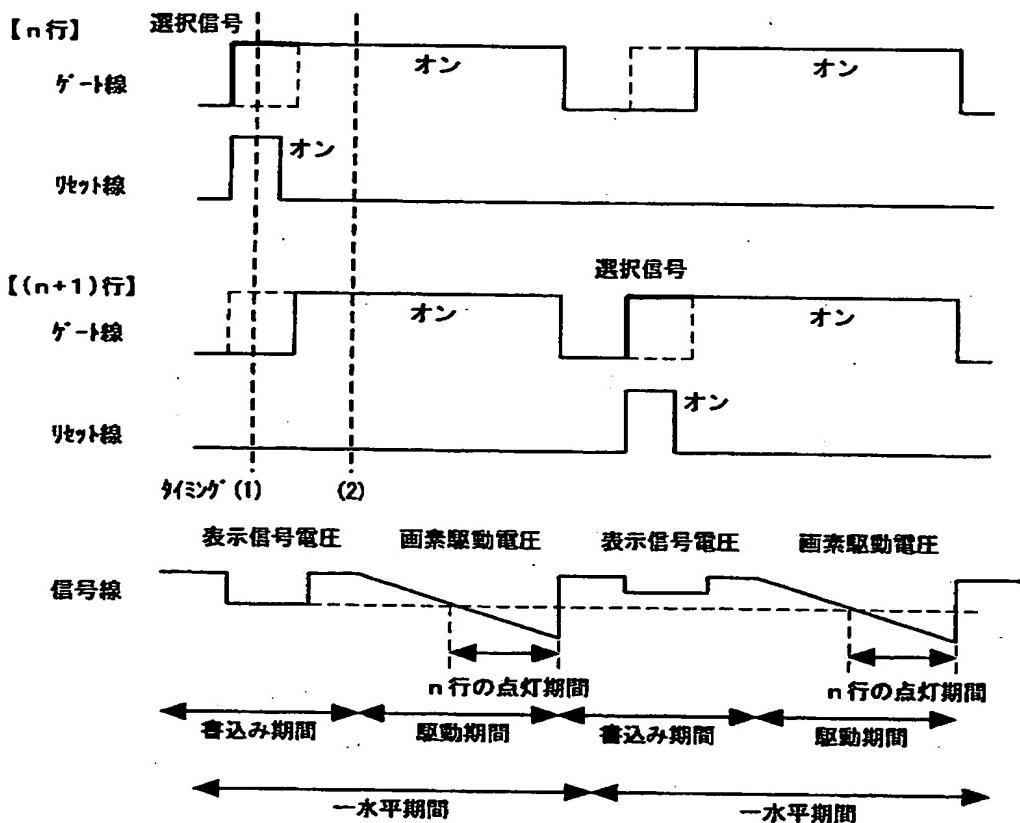
【図4】

図4



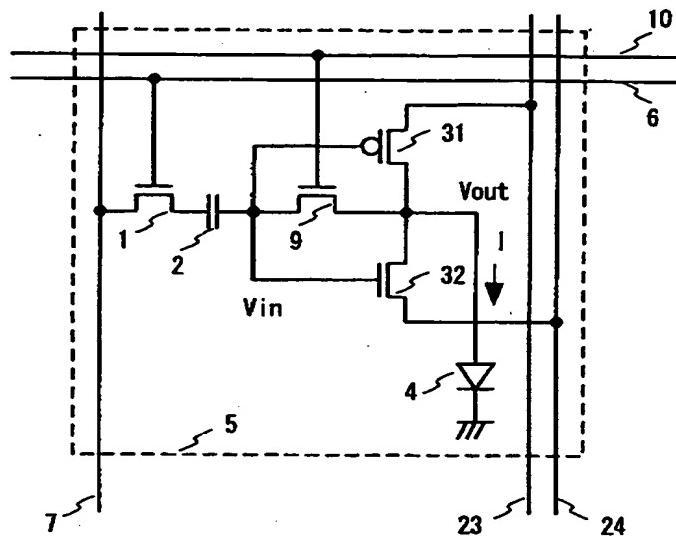
【図5】

図5



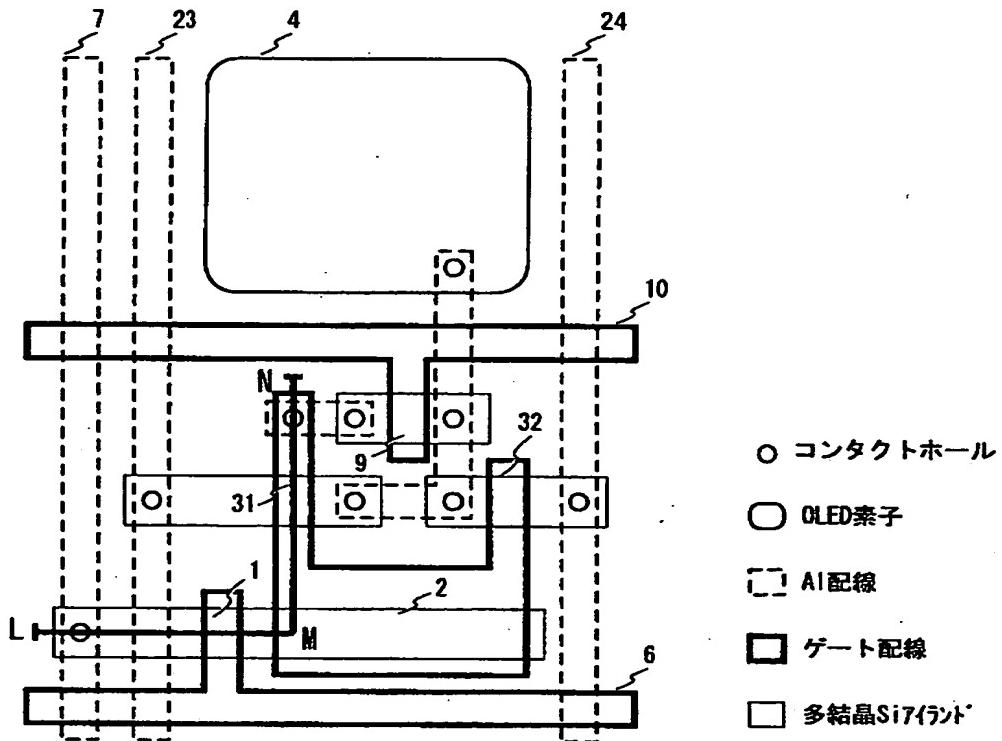
## 【図6】

6



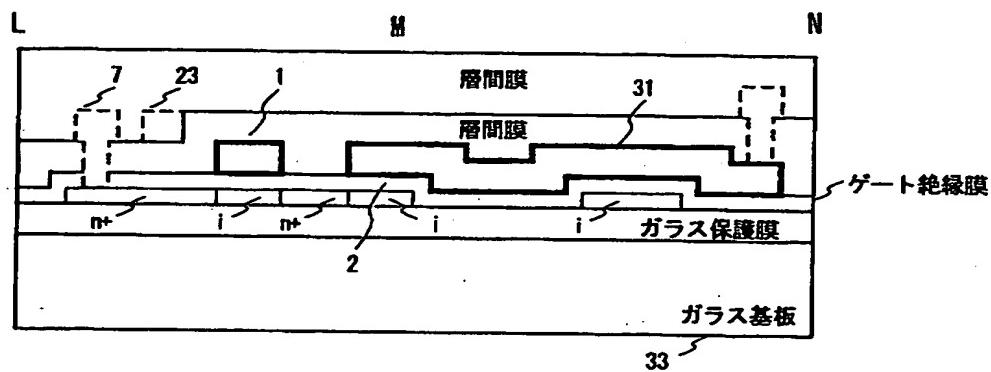
【図7】

図7



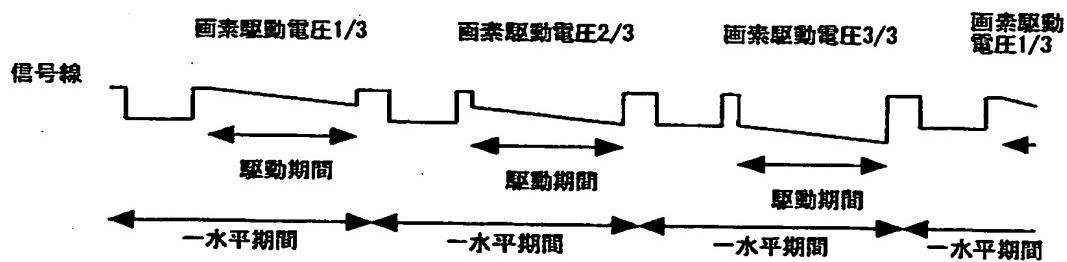
【図8】

図8



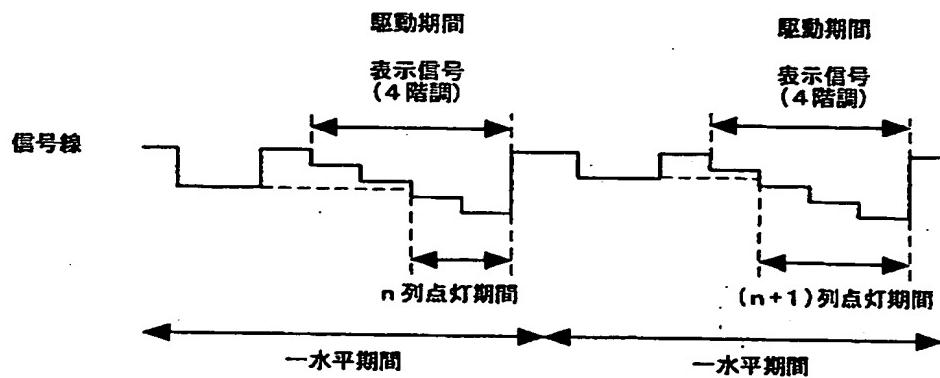
【図9】

図9



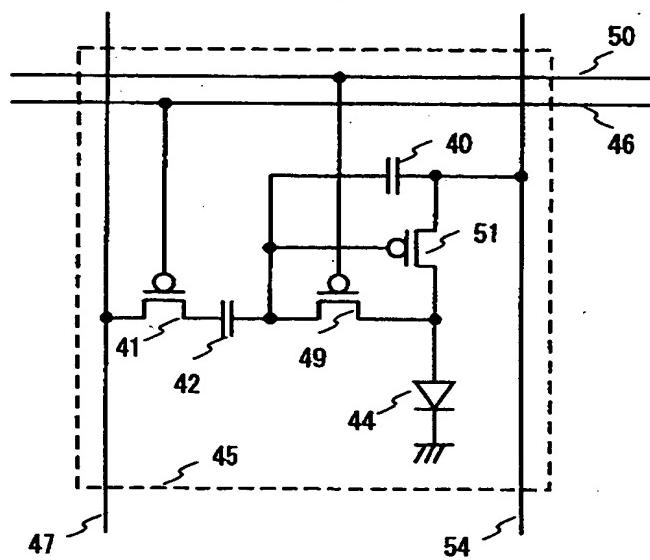
【図10】

図10



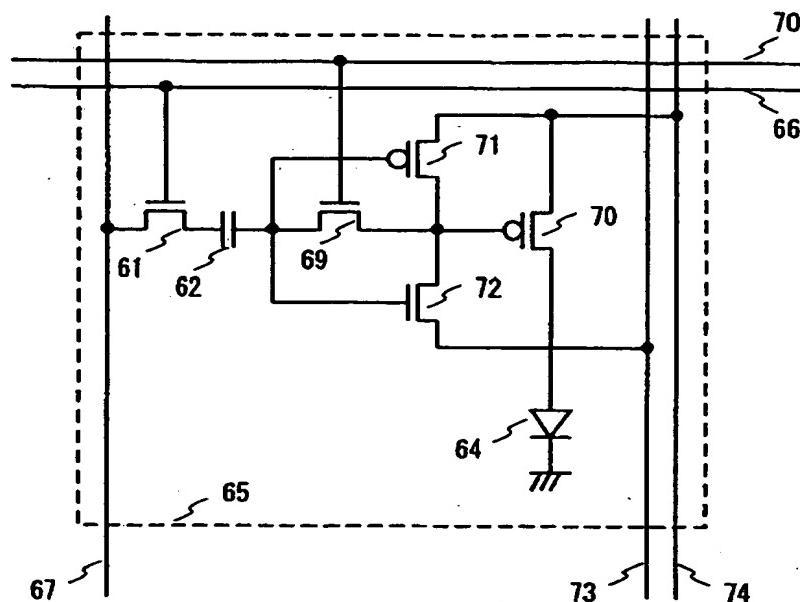
【図11】

図11



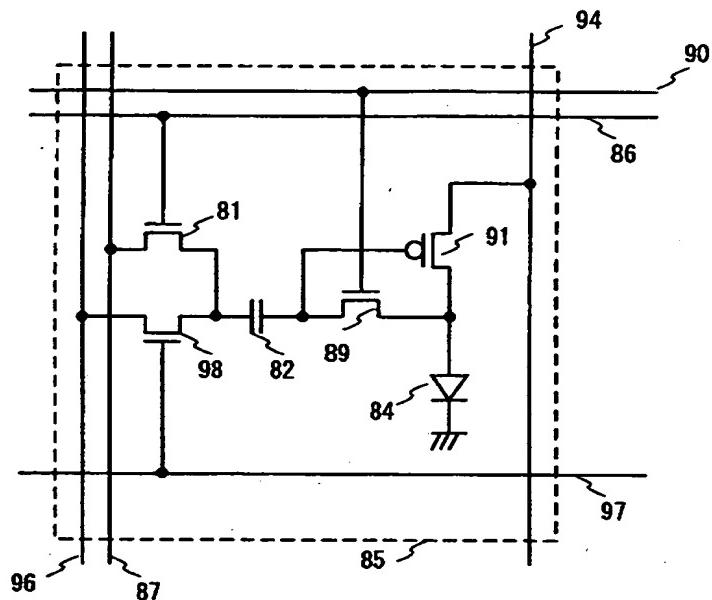
【図12】

図12



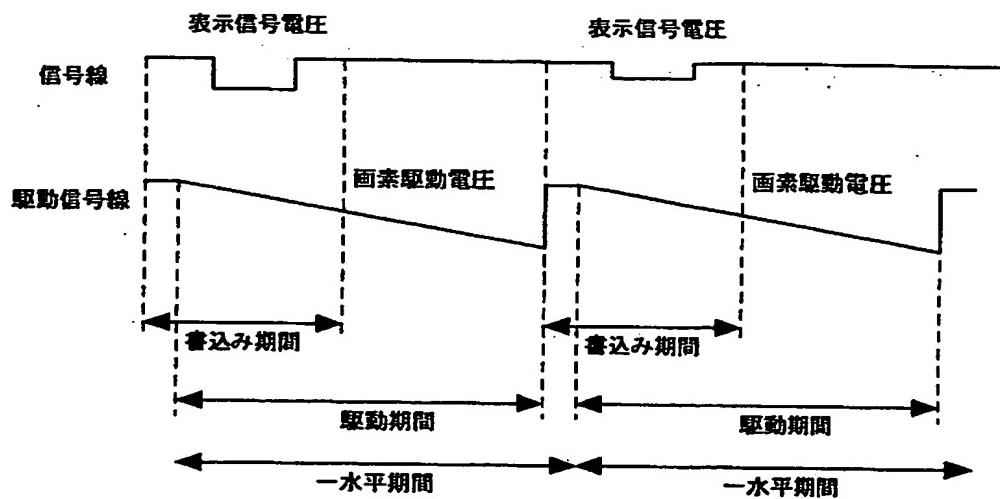
【図13】

図13



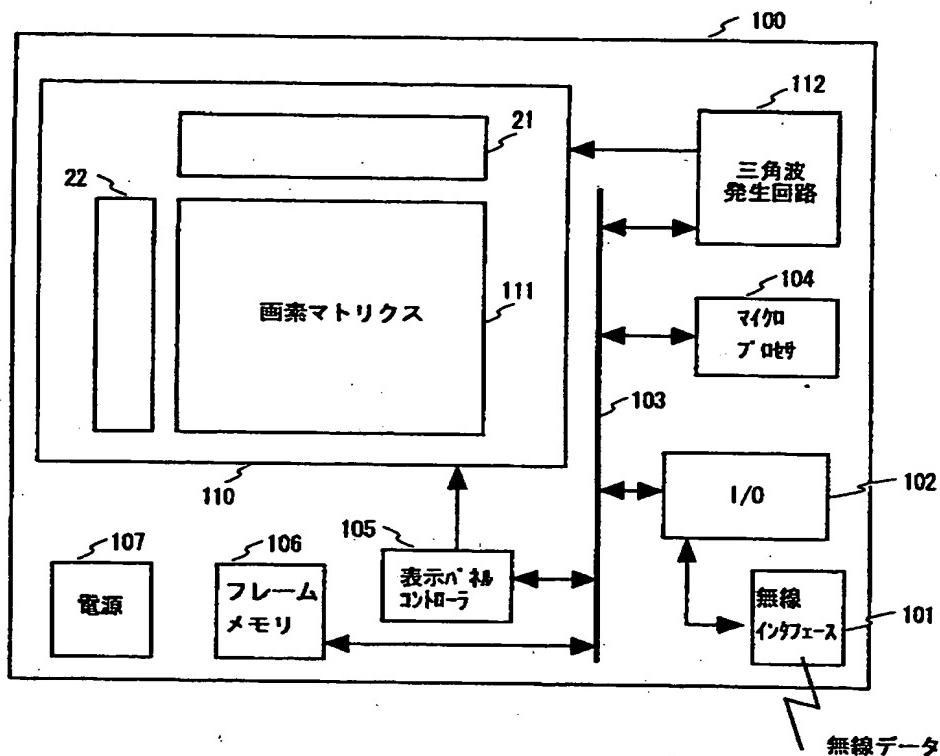
【図14】

図14



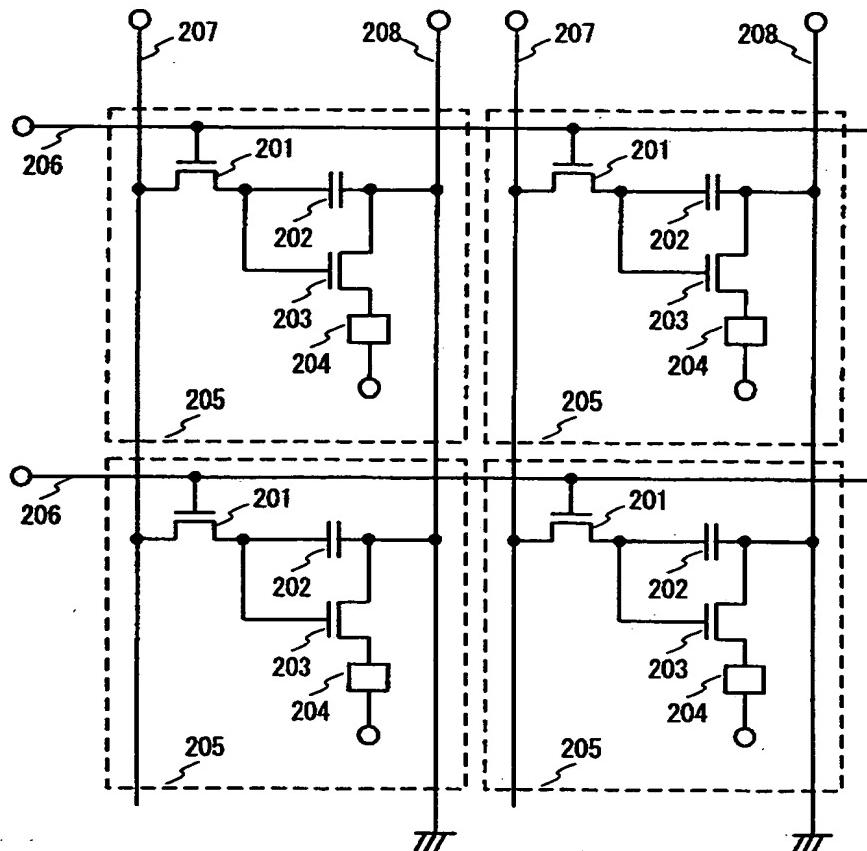
【図15】

図15



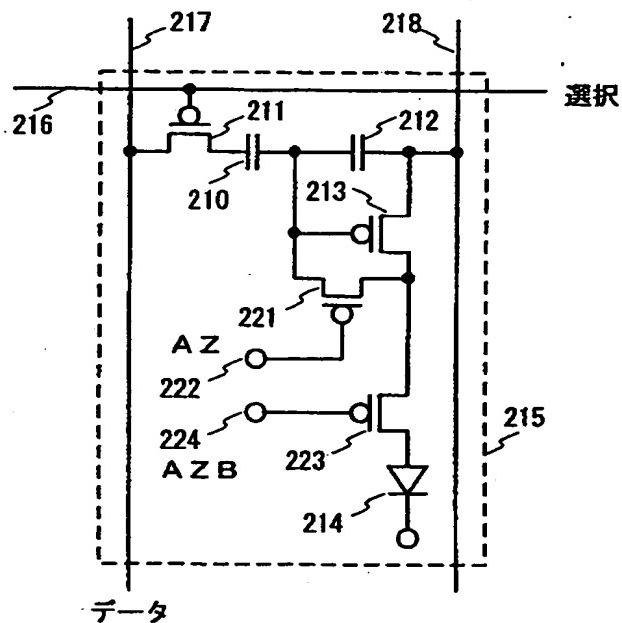
【図16】

図16



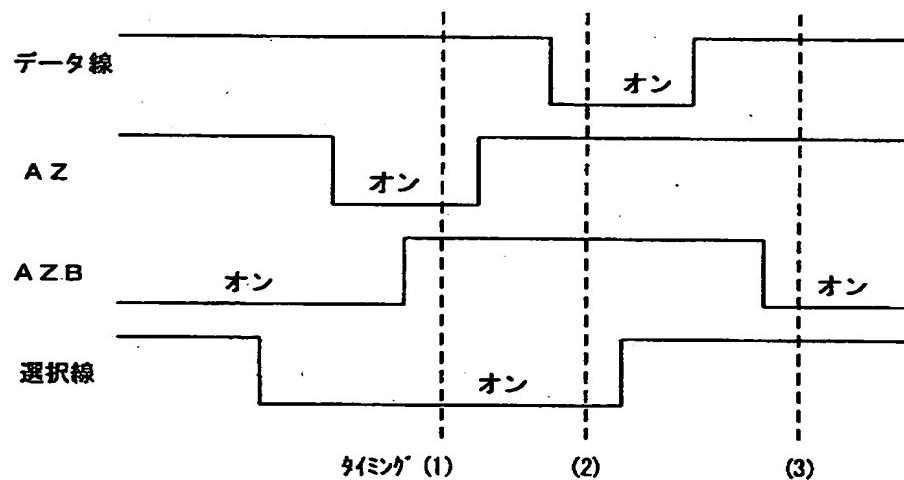
【図17】

図17



【図18】

図18



【書類名】 要約書

【要約】

【課題】 多階調表示が可能であり、かつまた画素間での表示特性ばらつきが十分に小さい画像表示装置を提供する。

【解決手段】 複数の画素により構成された表示部と、該画素領域に表示信号電圧を入力するための信号線を有する画像表示装置において、上記複数の画素領域の少なくとも1つにおいて、上記信号線から上記画素領域に入力された表示信号電圧を記憶する記憶手段と、該表示信号電圧に基づいて上記画素領域における画像出力のオン期間とオフ期間を決定する画素オン期間決定手段と、上記画像出力のオン動作を1フレーム内で複数回繰り返させるための画素駆動手段とを有する画像表示装置にする。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-187478
受付番号	50100897398
書類名	特許願
担当官	第四担当上席 0093
作成日	平成13年 6月22日

<認定情報・付加情報>

【提出日】 平成13年 6月21日

次頁無

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所